

Reference 1

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-65004

(43)公開日 平成10年(1998) 3 月 6 日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	D
21/203			21/203	S
21/285	3 0 1		21/285	3 0 1 R

審査請求 未請求 請求項の数10 F D (全 10 頁)

(21)出願番号 特願平8-238481

(22)出願日 平成8年(1996) 8 月21日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 井上 肇

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74)代理人 弁理士 山本 孝久

(54)【発明の名称】 半導体装置における接続孔及びその形成方法

(57)【要約】

【課題】指向性スパッタ法によって成膜された窒化チタン層（バリアメタル層）に熱処理を施した後の窒化チタン層のストレス変化によって窒化チタン層にクラックが生じ難く、あるいは又、剥離が生じ難く、接合リーク電流の増加を回避し得る半導体装置における接続孔の形成方法を提供する。

【解決手段】接続孔の形成方法は、（イ）基体10上に絶縁層16を形成した後、該絶縁層16に開口部17を形成する工程と、（ロ）該開口部17内を含む絶縁層16上に、チタン層17及び窒化チタン層18を指向性スパッタ法にて順次、成膜した後、成膜された窒化チタン層18に熱処理を施す工程と、（ハ）少なくとも開口部17内を高融点金属材料20にて埋め込み、以て接続孔を形成する工程から成り、成膜された窒化チタン層18の熱処理前後におけるストレス変化量が、 $3.0 \times 10^{10} \text{ dyn/cm}^2$ 以下であることを特徴とする。

## 1

## 【特許請求の範囲】

【請求項1】(イ) 基体上に絶縁層を形成した後、該絶縁層に開口部を形成する工程と、

(ロ) 該開口部内を含む絶縁層上に、チタン層及び窒化チタン層を指向性スパッタ法にて順次、成膜した後、成膜された窒化チタン層に熱処理を施す工程と、

(ハ) 少なくとも開口部内を高融点金属材料にて埋め込み、以て接続孔を形成する工程、から成り、

成膜された窒化チタン層の熱処理前後におけるストレス変化量が、 $3.0 \times 10^{10} \text{ dyn/cm}^2$ 以下であることを特徴とする半導体装置における接続孔の形成方法。

【請求項2】 基体を $300^\circ \text{C}$ 以上に加熱した状態で、チタン層及び窒化チタン層を成膜することを特徴とする請求項1に記載の半導体装置における接続孔の形成方法。

【請求項3】 プロセスガスとして、アルゴンガス及び窒素ガスを用い、窒化チタン層の成膜時のスパッタ雰囲気圧力を $0.64 \text{ Pa}$ 以上とすることを特徴とする請求項1に記載の半導体装置における接続孔の形成方法。

【請求項4】 プロセスガスとして、アルゴンガス及び窒素ガスを用い、アルゴンガス流量/窒素ガス流量の値を $0.5$ 以上とすることを特徴とする請求項1に記載の半導体装置における接続孔の形成方法。

【請求項5】 プロセスガスとして、アルゴンガス及び窒素ガスを用い、窒化チタン層の成膜時のスパッタ雰囲気圧力を $0.64 \text{ Pa}$ 以上とし、且つ、基体を $300^\circ \text{C}$ 以上に加熱した状態で、チタン層及び窒化チタン層を成膜することを特徴とする請求項1に記載の半導体装置における接続孔の形成方法。

【請求項6】 基体上の絶縁層に設けられた開口部内に形成された、半導体装置における接続孔であって、

(イ) 指向性スパッタ法にて順次成膜され、熱処理を施されたチタン層及び窒化チタン層、並びに、

(ロ) 該開口部に埋め込まれた高融点金属材料、から成り、

成膜された窒化チタン層の熱処理前後におけるストレス変化量が、 $3.0 \times 10^{10} \text{ dyn/cm}^2$ 以下であることを特徴とする半導体装置における接続孔。

【請求項7】 チタン層及び窒化チタン層は、基体を $300^\circ \text{C}$ 以上に加熱した状態で成膜されることを特徴とする請求項6に記載の半導体装置における接続孔。

【請求項8】 窒化チタン層は、プロセスガスとしてアルゴンガス及び窒素ガスを用い、スパッタ雰囲気圧力が $0.64 \text{ Pa}$ 以上の状態で成膜されることを特徴とする請求項6に記載の半導体装置における接続孔。

【請求項9】 窒化チタン層は、プロセスガスとしてアルゴンガス及び窒素ガスを用い、アルゴンガス流量/窒素ガス流量の値が $0.5$ 以上の状態で成膜されることを特徴とする請求項6に記載の半導体装置における接続孔。

【請求項10】 窒化チタン層は、プロセスガスとしてア

## 2

ルゴンガス及び窒素ガスを用い、スパッタ雰囲気圧力が $0.64 \text{ Pa}$ 以上の状態で成膜され、且つ、チタン層及び窒化チタン層は、基体を $300^\circ \text{C}$ 以上に加熱した状態で成膜されることを特徴とする請求項6に記載の半導体装置における接続孔。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置における接続孔及びその形成方法に関する。

## 【0002】

【従来の技術】 半導体装置には、多数のコンタクトホールやビアホール（以下、これらを総称して接続孔と呼ぶ）が形成されている。通常、接続孔は、図6に示すように、例えばソース・ドレイン領域15といった不純物拡散領域等から成る下層導体層が形成された半導体基板10から構成された基体上に絶縁層16を形成し、かかる絶縁層16に開口部17を設けた後、開口部17内を金属材料あるいは金属化合物材料（以下、金属材料等と呼ぶ。尚、図6においては、タングステン層20）にて埋め込むことによって形成される。尚、図において、参照番号11は素子分離領域、参照番号12はゲート酸化膜、参照番号13はゲート電極、参照番号14はゲートサイドウォールである。あるいは又、接続孔は、例えば配線層が形成された下層絶縁層から成る基体上に絶縁層を形成し、かかる絶縁層に開口部を設けた後、開口部内を金属材料等にて埋め込むことによって形成される。

【0003】 半導体装置の高集積化に伴い、半導体装置の製造プロセスにおける寸法ルールも微細化しつつある。そして、高アスペクト比を有する開口部内を金属材料等で確実に埋め込む技術が重要な課題となっている。開口部内を金属材料等で埋め込む技術とし、純アルミニウムあるいはアルミニウム合金を用いたスパッタ法や、所謂ブランケットタングステンCVD法を挙げることができる。特に、後者の方法は、高アスペクト比を有する開口部内を金属材料等にて埋め込む技術として優れた技術である。

【0004】 ブランケットタングステンCVD法においては、CVD法にて開口部17内を含む絶縁層16上にタングステン層20を堆積させる前に、チタン(Ti)層18及び窒化チタン(TiN)層19を順次、スパッタ法にて成膜する。ここで、Ti層18は、接続孔のコンタクト抵抗を軽減させる目的、及びタングステン層20の密着性向上を目的として成膜される。一方、TiN層19は、CVD法にてタングステン層20を堆積させるとき、タングステン層20が下層導体層を破壊することを防止する、所謂バリア層としての機能を有する。このTiN層19は、バリアメタル層とも呼ばれる。

## 【0005】

【発明が解決しようとする課題】 ところで、開口部17のアスペクト比が高くなるに従い、TiN等のスパッタ

10

20

30

40

50

## 3

粒子が、所謂シャドウイング効果によって開口部17の底部あるいは底部近傍の側壁に堆積し難くなる。その結果、図6の(A)の丸印を付けた領域で示すように、開口部17の底部あるいは底部近傍の側壁におけるTiN層19のカバレッジが低下し、かかる部分におけるTiN層(バリアメタル層)19のバリア効果が低下する。その結果、図6の(B)の模式図に示すように、タングステン層20が下層導体層であるソース・ドレイン領域15を破壊し、接続孔と下層導体層との間で接合リーク電流が増加するという問題が生じる。

【0006】また、TiN層19の成膜後、TiN層19のバリア効果を向上されるために、TiN層に熱処理(例えば、650~700°CのRapid Thermal Annealing(RTA)処理)を施すことによってTiN層19を緻密化した場合、TiN層19の熱処理前後のストレス変化によって、図7の(A)の模式図に丸印を付けた領域で示すように、TiN層19にクラックが生じたり、TiN層19に剥離が生じる。その結果、やはり、タングステン層20が下層導体層であるソース・ドレイン領域15を破壊し、接続孔と下層導体層との間で接合リーク電流が増加するという問題が生じる(図7の(B)参照)。接合リーク電流が増加すると、例えば、電荷保持能力が低下したり、消費電力の増加に伴うスタンバイ不良が発生する。

【0007】スパッタ粒子が、シャドウイング効果によって開口部17の底部あるいはその底部近傍の側壁に堆積し難くなる現象を回避する手段として、所謂コリメートスパッタ法や遠距離スパッタ法といった指向性スパッタ法を挙げることができる。この指向性スパッタ法においては、基体の表面に対して垂直方向から入射するスパッタ粒子成分が多くなる。従って、開口部の底部に堆積するスパッタ粒子が多くなり、開口部の底部や底部近傍の側壁におけるカバレッジが向上する。然るに、これらの指向性スパッタ法によってTiN層(バリアメタル層)19を成膜した場合、通常のスパッタ法と比較して、成膜されたTiN層19の熱処理前後におけるストレス変化量が大きくなる。その結果、TiN層19に、一層、クラックや剥離が生じ易くなる。

【0008】従って、本発明の目的は、指向性スパッタ法によって成膜された窒化チタン層(バリアメタル層)に熱処理を施した後の窒化チタン層のストレス変化によって窒化チタン層にクラックが生じ難く、あるいは又、剥離が生じ難く、接合リーク電流の増加を回避し得る半導体装置における接続孔及びその形成方法を提供することにある。

## 【0009】

【課題を解決するための手段】上記の目的を達成するための本発明の半導体装置における接続孔の形成方法は、(イ)基体上に絶縁層を形成した後、該絶縁層に開口部を形成する工程と、(ロ)該開口部内を含む絶縁層上

## 4

に、チタン層及び窒化チタン層を指向性スパッタ法にて順次、成膜した後、成膜された窒化チタン層に熱処理を施す工程と、(ハ)少なくとも開口部内を高融点金属材料にて埋め込み、以て接続孔を形成する工程、から成り、成膜された窒化チタン層の熱処理前後におけるストレス変化量が、 $3.0 \times 10^{10} \text{ dyn/cm}^2$ 以下であることを特徴とする。

【0010】指向性スパッタ法には、ターゲットから基体までの距離が長い遠距離スパッタ法が包含される。通常のスパッタ法においてはターゲットから基体までの距離は50mm前後である。一方、遠距離スパッタ法においては、ターゲットから基体までの距離は150mm以上、好ましくは170以上である。ターゲットから基体までの距離が長くなる程、窒化チタンの成膜速度は遅くなるので、製造プロセスにおいて許容し得る成膜速度以上となる距離を上限の値とすればよい。ターゲットから基体までの距離の上限は、例えば340mm程度である。あるいは又、指向性スパッタ法には、所謂コリメートスパッタ法が包含される。ここで、コリメートスパッタ法とは、薄膜形成用の各種粒子ビームを一軸異方性をもって通過させて基材上に到達させるための開口率の大きな貫通孔を有する治具(コリメータ)を、ターゲットと基体との間に配設してスパッタリングを行う方法を指す。

【0011】本発明の半導体装置における接続孔の形成方法においては、基体を300°C以上に加熱した状態で、チタン層及び窒化チタン層を成膜することが好ましい。基体加熱温度の上限は、基体が加熱されることによって基体に損傷が生じない温度とすればよい。

【0012】あるいは又、本発明の半導体装置における接続孔の形成方法においては、プロセスガスとして、アルゴンガス及び窒素ガスを用い、窒化チタン層の成膜時のスパッタ雰囲気圧力を0.64Pa(4.8mTorr)以上とすることが好ましい。窒化チタン層の成膜時のスパッタ雰囲気圧力の上限は、製造プロセスにおける窒化チタン層の成膜速度に依存する。即ち、窒化チタン層の成膜時のスパッタ雰囲気圧力が高くなる程、窒化チタンの成膜速度は遅くなるので、製造プロセスにおいて許容し得る成膜速度以上となるスパッタ雰囲気圧力を上限の値とすればよい。

【0013】あるいは又、本発明の半導体装置における接続孔の形成方法においては、プロセスガスとして、アルゴンガス及び窒素ガスを用い、アルゴンガス流量/窒素ガス流量の値を0.3以上、好ましくは0.5以上とすることが望ましい。アルゴンガス流量/窒素ガス流量の値の上限は、窒化チタン層を形成し得る流量比である。

【0014】あるいは又、本発明の半導体装置における接続孔の形成方法においては、プロセスガスとして、アルゴンガス及び窒素ガスを用い、窒化チタン層の成膜時



## 5

のスパッタ雰囲気圧力を0.64Pa(4.8mTorr)以上とし、且つ、基体を300°C以上に加熱した状態で、チタン層及び窒化チタン層を成膜することが好ましい。

【0015】上記の目的を達成するための本発明の半導体装置における接続孔は、基体上の絶縁層に設けられた開口部内に形成されており、(イ)指向性スパッタ法にて順次成膜され、熱処理を施されたチタン層及び窒化チタン層、並びに、(ロ)該開口部に埋め込まれた高融点金属材料、から成り、成膜された窒化チタン層の熱処理前後におけるストレス変化量が、 $3.0 \times 10^{10} \text{ dyn/cm}^2$ 以下であることを特徴とする。

【0016】本発明の半導体装置における接続孔においては、チタン層及び窒化チタン層は、基体を300°C以上に加熱した状態で成膜されることが好ましい。あるいは又、窒化チタン層は、プロセスガスとしてアルゴンガス及び窒素ガスを用い、スパッタ雰囲気圧力が0.64Pa(4.8mTorr)以上の状態で成膜されることが好ましい。あるいは又、窒化チタン層は、プロセスガスとしてアルゴンガス及び窒素ガスを用い、アルゴンガス流量/窒素ガス流量の値が0.5以上の状態で成膜されることが好ましい。あるいは又、窒化チタン層は、プロセスガスとしてアルゴンガス及び窒素ガスを用い、スパッタ雰囲気圧力が0.64Pa(4.8mTorr)以上の状態で成膜され、且つ、チタン層及び窒化チタン層は、基体を300°C以上に加熱した状態で成膜されることが好ましい。

【0017】成膜された窒化チタン層の熱処理の条件として、窒素ガス雰囲気下で、650°C×30秒のラピッド・サーマル・アニーリング処理を例示することができる。

【0018】基体としては、ソース・ドレイン領域といった高濃度拡散領域が下層導体層として形成された半導体基板、配線層がその上に形成された下層絶縁層を例示することができる。また絶縁層を構成する材料としては、SiO<sub>2</sub>、BPSG、PSG、BSG、AsSG、PbSG、SbSG、NSG、SOG、LTO(Low Temperature Oxide、低温CVD-SiO<sub>2</sub>)等の酸化シリコン系材料(SiO<sub>2</sub>あるいは不純物を含有するSiO<sub>2</sub>)やSiN等から構成することが好ましいが、これらに限定されるものではない。また、絶縁層を、酸化シリコン系材料やSiNから成る多層構造とすることもできる。高融点金属材料としては、タングステン、銅、を例示することができる。また、少なくとも開口部内を高融点金属材料にて埋め込む方法として、CVD法を挙げることができる。場合によっては、高融点金属材料から成る層が絶縁層上に残されていてもよい。

【0019】窒化チタン層の熱処理前後におけるストレス変化量は、フロンティア セミコンダクター メジャ

## 6

ーメント インク (Frontier Semiconductor Measurement Inc.) 製の フィルム ストレス メジャーメント

(Film Stress Measurement) FSM8800を用いて測定する。測定においては、窒化チタン層が形成された基体の曲率半径Rを測定し、以下の式からストレス量Sを求める。尚、Eは基体若しくは半導体基板のヤング率、Dは基体若しくは半導体基板の厚さ、 $\nu$ は窒化チタンのポアソン率、tは窒化チタン層の厚さである。ここで、基体が半導体基板である場合には、E及びDの値として半導体基板のそれぞれの値を用いる。一方、基体が半導体基板の上に形成されている場合には、E及びDの値として半導体基板のそれぞれの値を用いる。

$$S = E \cdot D^2 / \{6(1 - \nu) R \cdot t\}$$

【0020】尚、測定においては、基体が半導体基板から構成されている場合には、何も加工していない半導体基板の表面の全面にチタン層及び窒化チタン層を指向性スパッタ法にて成膜し、チタン層及び窒化チタン層がその上に成膜された半導体基板の熱処理前の反り量(曲率半径)を測定し、上記の式からストレス量を求める。次いで、窒化チタン層に熱処理を施した後、チタン層及び窒化チタン層がその上に成膜された半導体基板の反り量(曲率半径)を測定し、上記の式からストレス量を求める。そして、これらのストレス量の変化量をストレス変化量として計算にて求める。基体が半導体基板の上に形成された下層絶縁層から構成されている場合には、半導体基板上に下層絶縁層を形成した後、かかる下層絶縁層の表面の全面にチタン層及び窒化チタン層を指向性スパッタ法にて成膜し、チタン層及び窒化チタン層がその上に成膜された半導体基板の熱処理前の反り量(曲率半径)を測定し、上記の式からストレス量を求める。次いで、窒化チタン層に熱処理を施した後、チタン層及び窒化チタン層がその上に成膜された半導体基板の反り量(曲率半径)を測定し、上記の式からストレス量を求める。そして、これらのストレス量の変化量をストレス変化量として計算にて求める。

【0021】本発明においては、成膜された窒化チタン層の熱処理前後におけるストレス変化量が、 $3.0 \times 10^{10} \text{ dyn/cm}^2$ 以下であるが故に、窒化チタン層にクラックが生じ難く、あるいは又、剥離が生じ難い。その結果、接合リーク電流の増加を回避することができる。

【0022】

【実施例】以下、図面を参照して、実施例に基づき本発明を説明する。

【0023】(実施例1) 実施例1においては、指向性スパッタ法の一つである遠距離スパッタ法にてチタン(Ti)層及び窒化チタン(TiN)層を形成した。基体は、ソース・ドレイン領域である高濃度拡散領域が下層導体層として形成された半導体基板である。実施例1においては、チタン層及び窒化チタン層の成膜時の基体

加熱温度を変えて、チタン層及び窒化チタン層を成膜した。実施例1の半導体装置における接続孔においては、チタン層及び窒化チタン層は、基体を300°C以上に加熱した状態で成膜される。実施例1においては、高融点金属材料としてタングステンをを用いた。

【0024】[工程-100] 先ず、基体であるシリコン半導体基板10に、公知の方法でLOCOS構造を有する素子分離領域11を形成した後、半導体基板10の表面を酸化して、ゲート酸化膜12を形成する。その後、ポリシリコンからゲート電極13を周知の方法で形成する。次に、LLD構造を形成するために不純物のイオン注入を行った後、ゲート電極13の側壁にゲートサイドウォール14を形成し、次いで、不純物のイオン注入を行い、イオン注入された不純物の活性化処理を施すことによって、ソース・ドレイン領域15を形成する。こうして得られた構造を、図1の(A)に模式的な一部

	チタン層の形成
膜厚	50 nm
DCパワー	6 kW
プロセスガス	Ar = 50 sccm
圧力	0.37 Pa (2.8 mTorr)
(ケース1)	
基体加熱温度	200°C
(ケース2)	
基体加熱温度	300°C
(ケース3)	
基体加熱温度	350°C
(ケース4)	
基体加熱温度	400°C
(ケース5)	
基体加熱温度	450°C

【0028】[工程-120A] 尚、ストレス量を測定するために、何らの加工を施していない半導体基板の表面に、表1の条件でチタン層及び窒化チタン層を遠距離スパッタ法にて、順次成膜し、得られた試料に対して上記の条件の熱処理前後のストレス量の測定を行った。ストレス量の測定方法は、前述のとおりである。

【0029】[工程-130] その後、開口部17内を含む絶縁層16上（より具体的には、窒化チタン層19上）に、厚さ0.6 μmのタングステン層20をCVD法にて堆積させ、次いで、エッチバックを行い、絶縁層16上のタングステン層を除去した。こうして、開口部16内が高融点金属材料であるタングステンにて埋め込まれ、接続孔が完成する（図2の(A)参照）。タングステン層のCVD条件及びエッチバック条件を以下に例示する。

タングステンのCVD条件

使用ガス：WF<sub>6</sub>/H<sub>2</sub>/Ar = 75/500/2800 sccm

断面図で示す。

【0025】[工程-110] 次に、例えばBPSGから成る絶縁層16を、基体である半導体基板10の上にCVD法にて形成する。そして、ソース・ドレイン領域15の上方の絶縁層16にRIE法にて開口部17を形成する。

【0026】[工程-120] その後、開口部17内を含む絶縁層16上に、チタン層18及び窒化チタン層19を指向性スパッタ法にて順次、成膜する（図1の

10 (B)参照)。ここで、指向性スパッタ法的一种である遠距離スパッタ法においては、ターゲットから基体までの距離を260 mmとした。スパッタ条件を以下の表1に示す。窒化チタン層の形成後、窒素ガス雰囲気中で650°C×30秒のRTA処理を施した。

【0027】

【表1】

	窒化チタン層の形成
膜厚	50 nm
DCパワー	12 kW
プロセスガス	Ar/N <sub>2</sub> = 20/70 sccm
圧力	0.43 Pa (3.2 mTorr)

200°C

300°C

350°C

400°C

450°C

圧力 : 1.1 × 10<sup>4</sup> Pa

基板加熱温度 : 450°C

タングステンのエッチバック条件

使用ガス : SF<sub>6</sub>/Ar/He = 140/110/25 sccm

圧力 : 32 Pa

RF電力 : 625 W

40 【0030】[工程-140] 次に、全面にアルミニウム合金膜を通常スパッタ法にて成膜し、かかるアルミニウム合金膜をパターニングして配線21を形成する（図2の(B)参照）。

【0031】[工程-120A] にて得られた、各基体加熱温度における窒化チタン層のRTA処理前のストレス量を、図3に黒丸で示した。また、RTA処理後の窒化チタン層のストレス量を、図3に白丸で示した。白丸で示された値と黒丸で示されたストレス量の差が、窒化チタン層の熱処理前後におけるストレス変化量に相当する。ここで、正のストレス量は引張りストレス量を表

し、負のストレス量は圧縮ストレス量を表す。

【0032】図3から明らかなように、基体加熱温度を $300^{\circ}\text{C}$ 以上にすると、成膜された窒化チタン層の熱処理前後におけるストレス変化量が、 $3.0 \times 10^{10} \text{dyn/cm}^2$ 以下となる。また、[工程-120]におけるRTA処理後の窒化チタン層を走査型電子顕微鏡にて観察したところ、基体加熱温度が $200^{\circ}\text{C}$ では、窒化チタン層にクラックが発生していた。一方、基体加熱温度が $300^{\circ}\text{C}$ 以上では窒化チタン層でのクラックの発生が急激に減少し、基体加熱温度 $400^{\circ}\text{C}$ 以上では、クラックの発生は全く認められなかった。

【0033】[工程-140]において得られた試料の接合リーク電流を測定した。接合リーク電流が1つの接続孔当たり $1.0 \times 10^{-14} \text{A}$ 以上の場合、不合格とした。[工程-120]における基体加熱温度が $200^{\circ}\text{C}$ の場合、合格率は約6%であるのに対して、 $400^{\circ}\text{C}$ では90%、 $450^{\circ}\text{C}$ では100%に改善されていた。

【0034】(実施例2) 実施例2においても、実施例1と同様に、指向性スパッタ法の一つである遠距離スパ

	チタン層の形成
膜厚	50nm
DCパワー	6kW
基体加熱温度	$200^{\circ}\text{C}$
(ケース1)	
プロセスガス	$\text{Ar} = 50 \text{sccm}$
圧力	$0.37 \text{Pa}$ ( $2.8 \text{mTorr}$ )
(ケース2)	
プロセスガス	$\text{Ar} = 50 \text{sccm}$
圧力	$0.37 \text{Pa}$ ( $2.8 \text{mTorr}$ )
(ケース3)	
プロセスガス	$\text{Ar} = 50 \text{sccm}$
	$0.37 \text{Pa}$ ( $2.8 \text{mTorr}$ )
(ケース4)	
プロセスガス	$\text{Ar} = 50 \text{sccm}$
圧力	$0.37 \text{Pa}$ ( $2.8 \text{mTorr}$ )

【0037】実施例1の[工程-120A]と同様の工程にて得られた、窒化チタン層のスパッタ雰囲気各圧力における窒化チタン層のRTA処理前のストレス量を、図4の(A)に黒丸で示した。また、RTA処理後の窒化チタン層のストレス量を、図4の(A)に白丸で示した。白丸で示された値と黒丸で示された値の差が、窒化チタン層の熱処理前後におけるストレス変化量に相当する。

【0038】図4の(A)から明らかなように、窒化チタン層のスパッタ雰囲気の圧力を $0.64 \text{Pa}$  ( $4.8$

ッタ法にてチタン(Ti)層及び窒化チタン(TiN)層を形成した。基体は、ソース・ドレイン領域である高濃度拡散領域が下層導体層として形成された半導体基板である。実施例2においては、プロセスガスとして、アルゴンガス及び窒素ガスを用い、窒化チタン層の成膜時のスパッタ雰囲気の圧力を変えて、窒化チタン層を成膜した。実施例2における半導体装置の接続孔においては、窒化チタン層は、プロセスガスとしてアルゴンガス及び窒素ガスを用い、スパッタ雰囲気の圧力が $0.64 \text{Pa}$  ( $4.8 \text{mTorr}$ ) 以上の状態で成膜される。

【0035】実施例2においては、実施例1の[工程-120]と同様の工程におけるチタン層及び窒化チタン層の成膜条件を、以下の表2のとおりに変更した。尚、ストレス量を測定するために、何らの加工を施していない半導体基板の表面に、表2の条件でチタン層及び窒化チタン層を遠距離スパッタ法にて、順次成膜し、得られた試料に対して、実施例1と同様の条件にて熱処理前後のストレス量の測定を行った。

【0036】

20 【表2】

	窒化チタン層の形成
膜厚	50nm
DCパワー	12kW
基体加熱温度	$400^{\circ}\text{C}$
Ar/N <sub>2</sub> =20/70sccm	
圧力	$0.43 \text{Pa}$ ( $3.2 \text{mTorr}$ )
Ar/N <sub>2</sub> =30/105sccm	
圧力	$0.64 \text{Pa}$ ( $4.8 \text{mTorr}$ )
Ar/N <sub>2</sub> =40/140sccm	
圧力	$0.85 \text{Pa}$ ( $6.4 \text{mTorr}$ )
Ar/N <sub>2</sub> =50/17sccm	
圧力	$1.02 \text{Pa}$ ( $7.7 \text{mTorr}$ )

mTorr) 以上にすると、成膜された窒化チタン層の熱処理前後におけるストレス変化量が、 $3.0 \times 10^{10} \text{dyn/cm}^2$ 以下となる。また、実施例1の[工程-120]と同様の工程におけるRTA処理後の窒化チタン層を走査型電子顕微鏡にて観察したところ、窒化チタン層の成膜時のスパッタ雰囲気の圧力が $0.43 \text{Pa}$  ( $3.2 \text{mTorr}$ ) では、窒化チタン層にクラックが発生していた。一方、窒化チタン層の成膜時のスパッタ雰囲気の圧力が $0.64 \text{Pa}$  ( $4.8 \text{mTorr}$ ) 以上では、クラックの発生は全く認められなかった。



【0039】実施例1の〔工程-140〕と同様の工程において得られた試料の接合リーク電流を測定した。接合リーク電流が1つの接続孔当たり $1.0 \times 10^{-14} \text{A}$ 以上の場合、不合格とした。実施例1の〔工程-120〕と同様の工程における窒化チタン層のスパッタ雰囲気圧力と、接合リーク電流の合格率の関係を図4の(B)に示す。窒化チタン層のスパッタ雰囲気圧力が $0.43 \text{Pa}$  ( $3.2 \text{mTorr}$ )の場合、合格率は約89%であるのに対して、 $0.64 \text{Pa}$  ( $4.8 \text{mTorr}$ )以上では100%に改善されていた。

【0040】(実施例3) 実施例3においては、図5に示すコリメータを用いた指向性スパッタ法の一つであるコリメートスパッタ法にてチタン(Ti)層及び窒化チタン(TiN)層を形成した。尚、ターゲットから基体までの距離を100mmとした。基体は、ソース・ドレイン領域である高濃度拡散領域が下層導体層として形成された半導体基板である。実施例3においては、プロセ

チタン層の形成	
膜厚	30nm
DCパワー	8kW
プロセスガス	Ar=50sccm
圧力	$0.37 \text{Pa}$ ( $2.8 \text{mTorr}$ )
基体加熱温度	$200^\circ \text{C}$

【0043】実施例3においては、アルゴンガス流量/窒素ガス流量の値を1/2以上とした状態で窒化チタン層を成膜することによって、チタンリッチな窒化チタン層が形成され、窒素リッチな窒化チタン層と比較して、RTA処理前後の窒化チタン層のストレス変化量を1/2以下にすることができ、成膜された窒化チタン層の熱処理前後におけるストレス変化量は $3.0 \times 10^{10} \text{dyn/cm}^2$ 以下となった。これによって、基体加熱温度が $200^\circ \text{C}$ であっても、窒化チタン層におけるクラックの発生を防止することができた。

【0044】(実施例4) 実施例4においても、実施例1と同様に、指向性スパッタ法の一つである遠距離スパッタ法にてチタン(Ti)層及び窒化チタン(TiN)層を形成した。基体は、ソース・ドレイン領域である高濃度拡散領域が下層導体層として形成された半導体基板である。実施例4においては、プロセスガスとして、ア

チタン層の形成	
膜厚	30nm
DCパワー	6kW
プロセスガス	Ar=50sccm
圧力	$0.37 \text{Pa}$ ( $2.8 \text{mTorr}$ )
基体加熱温度	$300^\circ \text{C}$

【0046】窒化チタン層の成膜時のスパッタ雰囲気圧力を $0.64 \text{Pa}$  ( $4.8 \text{mTorr}$ )以上とし、且つ、基体を $300^\circ \text{C}$ 以上に加熱した状態で、チタン層及び

スガスとして、アルゴンガス及び窒素ガスを用い、アルゴンガス流量/窒素ガス流量の値を1.0とした状態で窒化チタン層を成膜した。即ち、実施例3の半導体装置における接続孔においては、窒化チタン層は、プロセスガスとしてアルゴンガス及び窒素ガスを用い、アルゴンガス流量/窒素ガス流量の値が0.5以上の状態で成膜される。

【0041】実施例3においては、実施例1の〔工程-120〕と同様の工程におけるチタン層及び窒化チタン層の成膜条件を、以下の表3のとおりに変更した。尚、ストレス量を測定するために、何らの加工を施していない半導体基板の表面に、表3の条件でチタン層及び窒化チタン層をコリメートスパッタ法にて、順次成膜し、得られた試料に対して、実施例1と同様の条件にて熱処理前後のストレス量の測定を行った。

【0042】

【表3】

窒化チタン層の形成	
膜厚	50nm
DCパワー	8kW
プロセスガス	Ar/N <sub>2</sub> =50/50sccm
圧力	$0.43 \text{Pa}$ ( $3.2 \text{mTorr}$ )
基体加熱温度	$200^\circ \text{C}$

アルゴンガス及び窒素ガスを用い、窒化チタン層の成膜時のスパッタ雰囲気圧力を $0.64 \text{Pa}$  ( $4.8 \text{mTorr}$ )以上とし、且つ、基体を $300^\circ \text{C}$ 以上に加熱した状態で、チタン層及び窒化チタン層を成膜した。即ち、実施例4の半導体装置における接続孔においては、窒化チタン層は、プロセスガスとしてアルゴンガス及び窒素ガスを用い、スパッタ雰囲気圧力が $0.64 \text{Pa}$  ( $4.8 \text{mTorr}$ )以上の状態で成膜され、且つ、チタン層及び窒化チタン層は、基体を $300^\circ \text{C}$ 以上に加熱した状態で成膜される。実施例4においては、実施例1の〔工程-120〕と同様の工程におけるチタン層及び窒化チタン層の成膜条件を、以下の表4のとおりに変更した。

【0045】

【表4】

窒化チタン層の形成	
膜厚	50nm
DCパワー	12kW
プロセスガス	Ar/N <sub>2</sub> =30/105sccm
圧力	$0.64 \text{Pa}$ ( $4.8 \text{mTorr}$ )
基体加熱温度	$300^\circ \text{C}$

窒化チタン層を成膜することで、窒化チタン層のRTA処理前後のストレス変化量は一層低減することが判明した。また、〔工程-120〕と同様の工程で得られた実

実施例4の試料のRTA処理後の窒化チタン層を走査型電子顕微鏡にて観察したところ、窒化チタン層にクラックの発生は全く認められなかった。

【0047】以上、本発明を、好ましい実施例に基づき説明したが、本発明はこれらに限定されるものではない。実施例にて説明したスパッタ条件は例示であり、適

#### 銅のCVD成膜条件

使用ガス :  $\text{Cu}(\text{HFA})_2/\text{H}_2=10/1000\text{ sccm}$   
 圧力 :  $2.6 \times 10^3 \text{ Pa}$   
 基板加熱温度 :  $350^\circ \text{C}$   
 パワー :  $500 \text{ W}$

#### 【0048】

【発明の効果】本発明によれば、指向性スパッタ法によってバリアメタル層に相当する窒化チタン層を形成したときの熱処理前後におけるストレス変化量が小さいので、窒化チタン層にクラックや剥離が生じ難くなる。それ故、接合リーク電流の増加を回避することができ、電荷保持能力が低下したり、消費電力の増加に伴うスタンバイ不良が発生するといった問題を解決することができる。しかも、指向性スパッタ法を採用することによって、開口部の底部あるいは底部近傍の側壁における窒化チタン層のカバレッジを向上させることができるので、かかる部分における窒化チタン層のバリア効果が低下することがない。それ故、接続孔と下層導体層との間で接合リーク電流が増加するという問題の発生を回避することができる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置における接続孔の形成方法を説明するための、半導体基板等の模式的な一部断面図である。

【図2】図1に引き続き、本発明の半導体装置における接続孔の形成方法を説明するための、半導体基板等の模式的な一部断面図である。

宜変更することができる。また、実施例にて説明した半導体装置の構造も例示であり、適宜変更することができる。実施例1の「工程-130」において、タングステン層を堆積させる代わりに、以下のCVD条件にて銅層を堆積させてもよい。尚、HFAとは、ヘキサフルオロアセチルアセトネートの略である。

【図3】実施例1において、各基板加熱温度における窒化チタン層のRTA処理前のストレス量を測定した結果を示すグラフである。

【図4】実施例2において、各基板加熱温度における窒化チタン層のRTA処理前のストレス量を測定した結果、及び、接合リーク電流を測定し合格率を調べた結果を示すグラフである。

【図5】コリメータを用いた指向性スパッタ法の一つであるコリメートスパッタ法を説明するための概念図である。

【図6】従来の技術における問題点を説明するための半導体基板等の模式的な一部断面図である。

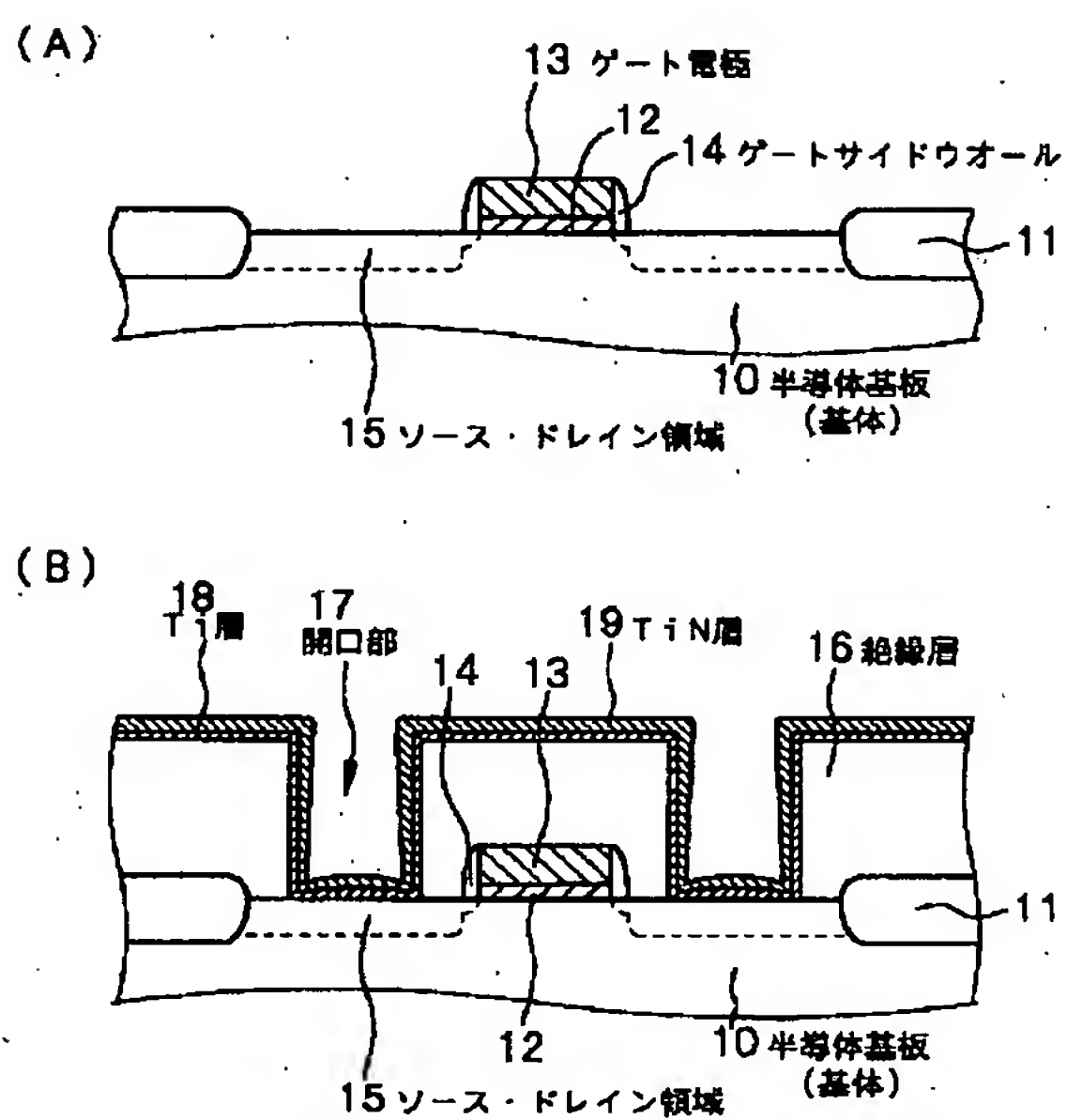
【図7】従来の技術における問題点を説明するための半導体基板等の模式的な一部断面図である。

#### 【符号の説明】

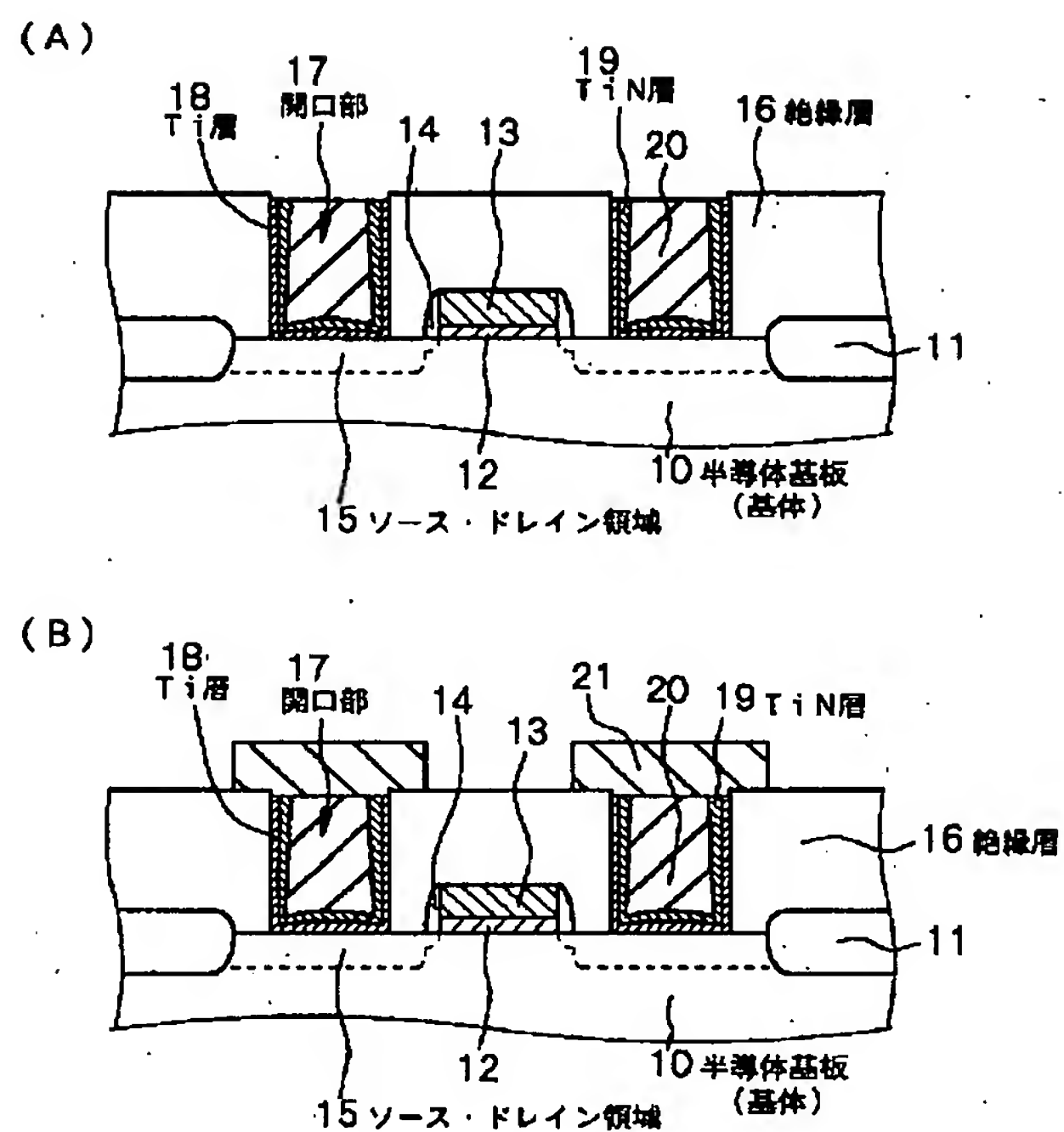
10・・・シリコン半導体基板（基体）、11・・・素子分離領域、12・・・ゲート酸化膜、13・・・ゲート電極、14・・・ゲートサイドウォール、15・・・ソース・ドレイン領域、16・・・絶縁層、17・・・開口部、18・・・チタン層、19・・・窒化チタン層、20・・・タングステン層、21・・・配線



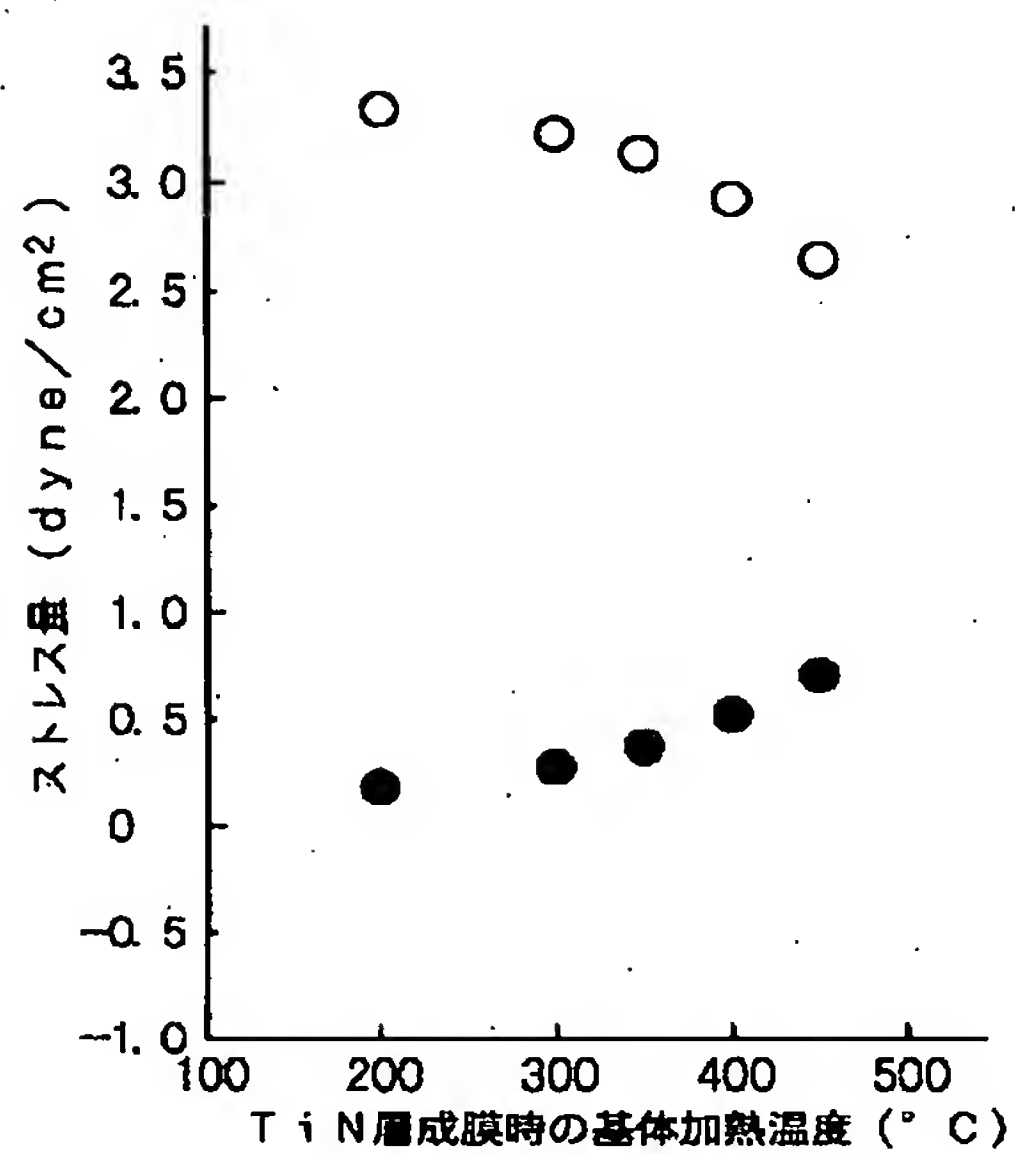
【図1】



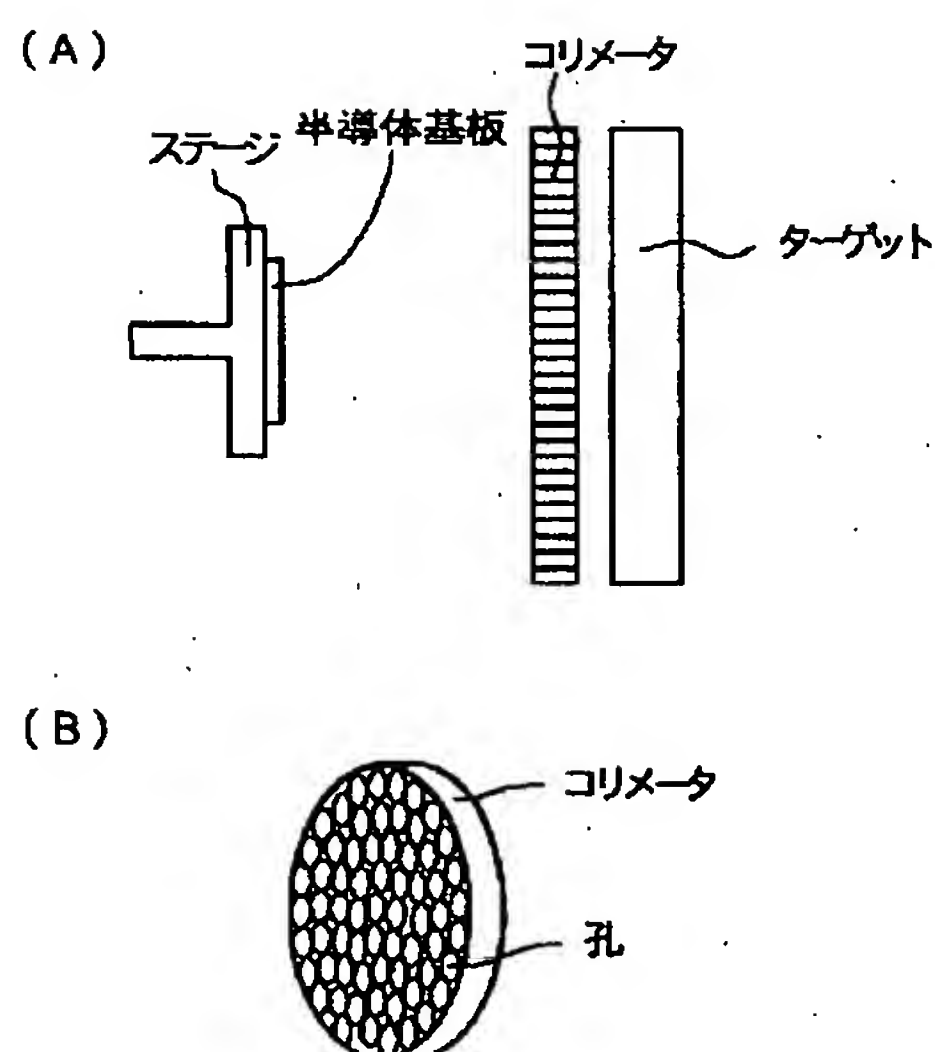
【図2】



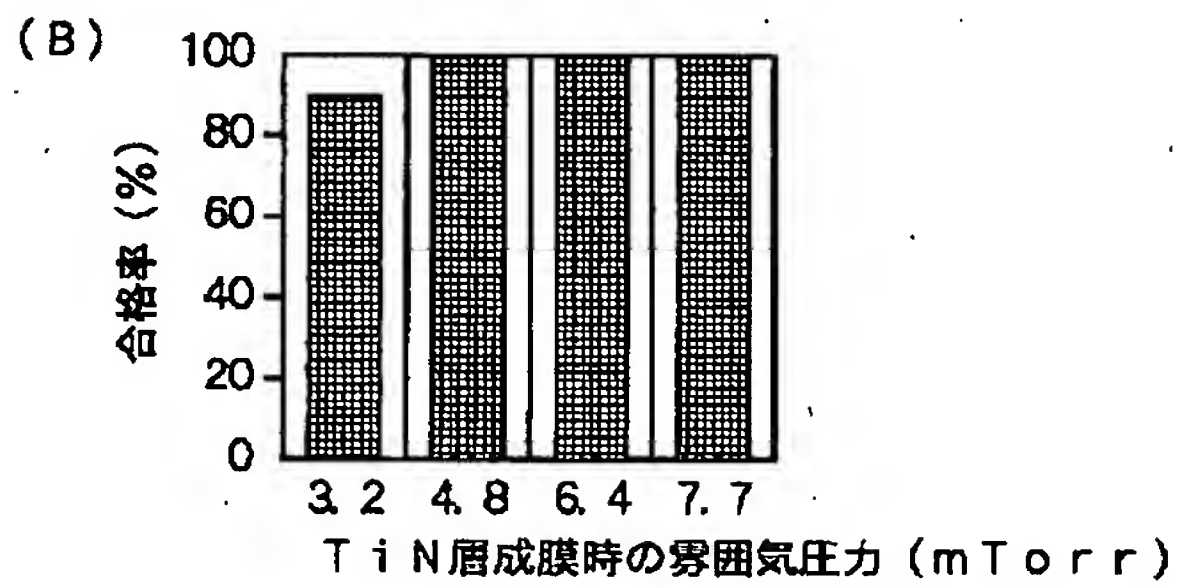
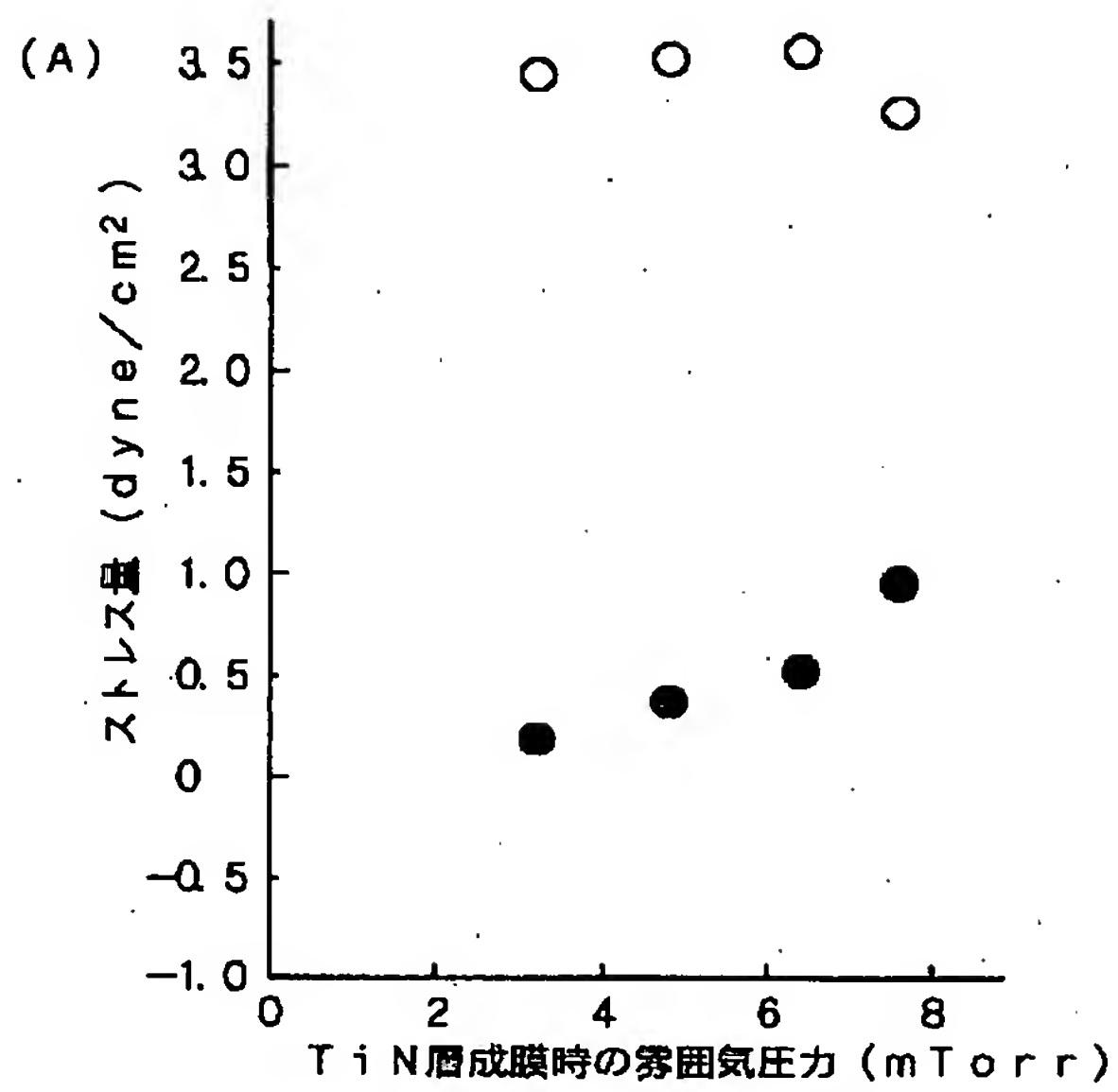
【図3】



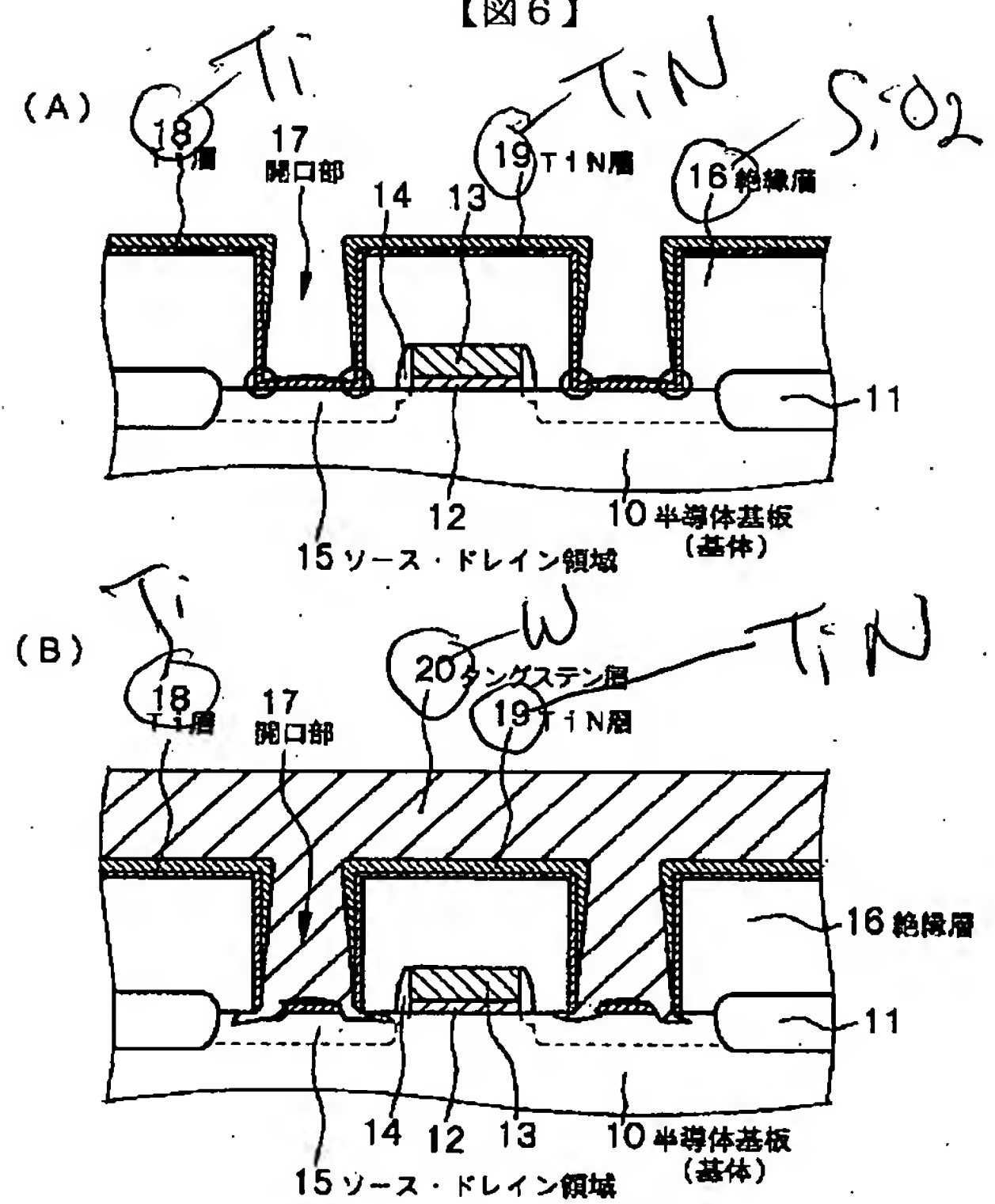
【図5】



【図4】



【図6】



【図7】

